

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131069
 (43)Date of publication of application : 19.05.1995

(51)Int.Cl. H01L 33/00
 H01L 21/301
 H01L 21/86

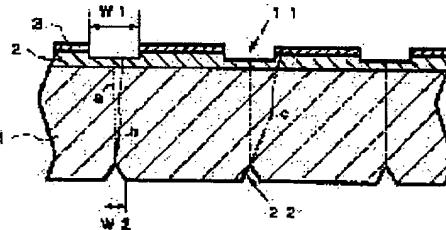
(21)Application number : 05-300940 (71)Applicant : NICHIA CHEM IND LTD
 (22)Date of filing : 06.11.1993 (72)Inventor : NAKAMURA SHUJI
 YAMADA MOTOKAZU

(54) METHOD FOR MANUFACTURING GALLIUM NITRIDE COMPOUND SEMICONDUCTOR CHIP

(57)Abstract:

PURPOSE: To provide a method for preventing crack and chipping of a cutting surface from occurring and to perform cutting to a desired shape and size with an improved yield when cutting gallium nitride compound semiconductor wafer with sapphire as a substrate into chips.

CONSTITUTION: A first split groove 11 is formed in a line and in a desired chip shape on the nitride semiconductor surface of a wafer where a nitride semiconductor is laminated on a sapphire substrate 1, a second split groove 22 is newly formed in a line on the surface of the sapphire substrate 1 of the wafer at a position matching the line of the first split groove 11, a line width W2 of the second split groove 22 is adjusted to be narrower than the line width W1 of the first split groove 11, and then the wafer is separated into chip shape groove the first split groove 11 and the second split groove 22.



LEGAL STATUS

[Date of request for examination] 27.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2780618

[Date of registration] 15.05.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the process which forms the first rate slot in the gallium nitride system compound semiconductor side of the wafer which carried out the laminating of the gallium nitride system compound semiconductor on silicon on sapphire in a desired chip configuration at a line, and the location which agrees with the line of said first rate slot While newly forming the second rate slot in the silicon-on-sapphire side of said wafer at a line The process which adjusts narrowly the line breadth (W2) of the second rate slot rather than the line breadth (W1) of said first rate slot, The manufacture approach of the gallium nitride system compound semiconductor chip characterized by providing the process which separates said wafer in the shape of a chip along said first rate slot and said second rate slot.

[Claim 2] The manufacture approach of the gallium nitride system compound semiconductor chip according to claim 1 characterized by grinding the silicon-on-sapphire side of said wafer, and providing the process which adjusts the thickness of silicon on sapphire to 200 micrometers or less before forming said second rate slot.

[Claim 3] The manufacture approach of the gallium nitride system compound semiconductor chip according to claim 1 which makes the second rate depth of flute deep, and is characterized by adjusting the distance of the pars basilaris ossis occipitalis of the first rate slot, and the pars basilaris ossis occipitalis of the second rate slot to 200 micrometers or less in the process which forms said second rate slot.

[Claim 4] The manufacture approach of a gallium nitride system compound semiconductor chip given in any 1 term of claim 1 characterized by forming said first rate slot by etching thru/or claim 3.

[Claim 5] The manufacture approach of a gallium nitride system compound semiconductor chip given in any 1 term of claim 1 characterized by forming said second rate slot by the scribe, claim 2, or claim 4.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of the gallium nitride system compound semiconductor chip used for luminescence devices, such as blue, green or a red light emitting diode, and a laser diode, and the gallium nitride system compound semiconductor (it is hereafter indicated as a nitride semi-conductor.) especially expressed with general formula $InXAlYGa1-X-YN$ ($0 \leq X < 1$, $0 \leq Y < 1$) on silicon on sapphire is related with the approach of cutting the nitride semi-conductor wafer by which the laminating was carried out in the shape of a chip.

[0002]

[Description of the Prior Art] Generally the semiconductor chip which is a source of luminescence is prepared on the stem at luminescence devices, such as a light emitting diode and a laser diode. As an ingredient which constitutes a semiconductor chip, in the case of red, orange, yellow, and green diode, GaAs, GaAlAs, GaP, etc. are known, and if it is blue diode, ZnSe, InAlGaN, SiC, etc. are known.

[0003] Conventionally, generally the dicer or the scribe is used for the equipment cut down for the chip for luminescence devices from the wafer with which the laminating of the semiconductor material was carried out. After a dicer carries out direct full cutting of the wafer or cuts the slot of width larger than edge-of-a-blade width deeply in rotation of the blade which is generally also called a dicing saw and uses the edge of a blade as a diamond (half cutting), it is equipment which breaks a wafer according to external force. a both-way rectilinear motion of the needle which uses a tip as a diamond as well as a scribe on the other hand — a scribe line (marking line) very thin to a wafer — for example, after lengthening in a grid pattern, it is equipment which breaks a wafer according to external force.

[0004] For example, since there is cleavage in the <110> directions, the crystal of zinc structure which does not carry GaP, GaAs, etc. can be easily fractured in the shape of a chip by putting in a scribe line in this direction with a scribe using this property.

[0005] However, generally, since the laminating of the nitride semi-conductor was carried out on silicon on sapphire, it was difficult for the wafer not to have the property top cleavage of a sapphire crystal called hexagonal system, but to cut with a scribe. the case where it cuts by the dicer on the other hand — also setting — a nitride semi-conductor wafer — said so-called hetero epitaxial structure which carried out the laminating of the nitride semi-conductor on sapphire as carried out — it is — lattice constant irregular ** — it was large, and since coefficient of thermal expansion also differed, there was a problem that a nitride semi-conductor tends to separate from silicon on sapphire. Furthermore, since Mohs hardness was about 9 and the very hard matter, it becomes easy to generate a crack and a chipping in a cutting plane, and both sapphire and a nitride semi-conductor were not able to be cut correctly.

[0006]

[Problem(s) to be Solved by the Invention] If a wafer can be correctly separated in the shape of a chip, without damaging the crystallinity of a nitride semi-conductor, a chip configuration can be made small, and since many chips are obtained from one wafer, productivity can be raised. Therefore, this invention was made in view of such a situation, the place made into the purpose is faced separating the nitride semi-conductor wafer which uses sapphire as a substrate in the shape of a chip, the crack of a cutting plane and generating of a chipping are prevented, a yield is good, and it is in offering the manufacture approach of a chip of obtaining a desired configuration and size.

[0007]

[Means for Solving the Problem] The manufacture approaches of the nitride semiconductor chip of this invention are the process which forms the first rate slot in the nitride semi-conductor side of the wafer which carried out the laminating of the nitride semi-conductor on silicon on sapphire in a desired chip configuration at a line, and the location which agrees with the line of said first rate slot. While newly forming the second rate slot in the silicon-on-sapphire side of said wafer at a line Rather than the line breadth (W1) of said first rate slot, it is characterized by providing the process which adjusts narrowly the line breadth (W2) of the second rate slot, and the process which separates said wafer in the shape of a chip along said first rate slot and said second rate slot.

[0008] In the manufacture approach of this invention, in order to form the first rate slot, etching of wet etching, dry etching, etc. is used most preferably. It is because etching cannot damage a nitride semi-conductor front face and a side face most easily. If it is dry etching, technique, such as reactive ion etching,

ion milling, focusing beam etching, and ECR etching, can be used, for example, and if it is wet etching, the mixed acid of a sulfuric acid and a phosphoric acid can be used, for example. However, before etching, it cannot be overemphasized that the mask of a predetermined configuration is formed in a nitride semi-conductor front face so that it may become a desired chip configuration. Moreover, although the half cutting by dicing besides etching, a scribe, etc. may be used, dicing tends to damage physically the front face of a nitride semi-conductor, and a side face, requires stress for the interface of silicon on sapphire and a nitride semi-conductor layer, and is in the inclination for a nitride semi-conductor to tend to separate from silicon on sapphire, and since it is difficult for a scribe to form a rate slot larger than the second rate slot, it cannot be said that it is not much desirable.

[0009] Next, in order to form the second rate slot in a silicon-on-sapphire side, technique, such as etching, dicing, and a scribe, can be used. Although especially the technique of forming the second rate slot is not asked at this process since the second rate slot is formed in a silicon-on-sapphire side and the edge of a blade, such as a dicer and a scribe, does not touch a direct nitride semi-conductor layer, a scribe is especially used preferably also in it. Because, a scribe tends to make line breadth of the second rate slot narrower than the line breadth of the first rate slot, and can form a rate slot quickly compared with etching. Furthermore, since there is little area which shaves off silicon on sapphire at the time of wafer cutting and it ends compared with dicing, there is an advantage that many chips are obtained from a single wafer.

[0010] Moreover, before forming the second rate slot, it is desirable to grind a silicon-on-sapphire side and to make it thin. As for the thickness of the silicon on sapphire after polish, adjusting to 150 micrometers or less is still more preferably desirable 200 micrometers or less. Because, the thickness of the nitride semi-conductor with which the laminating of the thickness of silicon on sapphire was usually carried out 300-800 micrometers and on it is occupied many and with dozens of micrometers, and, as for the nitride semi-conductor wafer, the most is occupied by the thickness of silicon on sapphire. And as described above, since the laminating of the nitride semi-conductor is carried out on the ingredient with which a lattice constant differs from coefficient of thermal expansion, it has the property which is very hard to cut. If the thickness of silicon on sapphire is too thick, in case the second rate slot will be formed behind and a wafer will be separated, it is in the inclination it is hard coming to break by the location which made the first rate slot and the second rate slot agree. That is, although it is most desirable that a wafer is separable in the shape of a chip in the location Chuo Line, the first rate groove line, and whose Chuo Line, the second rate groove line, corresponded as shown in the broken line of a of drawing 1. When the thickness of a wafer is too thick, it becomes slanting and the location breaks, as similarly shown in the broken line of c of drawing 1, it is cut to a p-n junction interface, and is in the inclination which is [chip-] easy to beized in the target configuration.

Therefore, a wafer can be made further easy to separate in the chip configuration made into the agreement location of said rate slot, i.e., the purpose, by grinding silicon on sapphire to said within the limits, and making it thin. Although especially the lower limit of the thickness of a substrate does not ask, since the wafer itself will become easy to break during polish if it is made not much thin, as a practical value, 50 micrometers or more are desirable.

[0011] Moreover, as grind a substrate, and it is made thin and also it is shown in drawing 2, by forming the second rate slot 22 in silicon on sapphire 1 deeply by technique, such as etching and dicing, thickness of silicon on sapphire 1 may be partially made thin, and cutting distance with the first rate slot 11 may be shortened.

[0012]

[Function] An operation of the manufacture approach of this invention is explained based on a drawing. Drawing 1 thru/or drawing 4 are drawings explaining one process of the manufacture approach of this invention. Drawing 1 is the type section Fig. of the wafer which carried out the laminating of n mold nitride semi-conductor layer 2 (n type layer) and the p mold nitride semi-conductor layer 3 (p type layer) on silicon on sapphire 1. The condition of having formed the first rate slot 11 in the line, and having formed the second rate slot 22 still narrower than the line breadth of the first rate slot 11 on the line breadth in the location which is in agreement with Chuo Line, the line of the first rate slot 11, is shown so that it may become a predetermined chip configuration at those nitride semi-conductor layer side. However, in this drawing, the first rate slot etches p type layer 3, it forms it so that n type layer 2 may be exposed, and the second rate slot is formed by the scribe. As a broken line b shows, even if it is most desirable that it can cut straightly at the point whose Chuo Line of the first rate slot 11 and the second rate slot 22 corresponded, i.e., the location shown with a broken line a, as for a wafer as shown in drawing 1, but a cutting plane line bends. Since the line breadth W1 of the first rate slot 11 is formed more widely than the line breadth W2 of the second rate slot 22, a cutting location does not attain to even a p-n junction interface, and a poor chip does not come out.

[0013] Drawing 2 forms the second rate slot 22 by etching or dicing, and shows the condition of having carried out half cutting of the silicon on sapphire 1. In this drawing, it can break by the location Chuo Line of the first rate slot and whose Chuo Line of the second rate slot corresponded straightly by making the depth of the second rate slot 22 deep, and shortening cutting distance with the first rate slot.

[0014] Although drawing 3 shows the condition of having made deep the etching depth of the first rate slot 11, it can also cut this drawing straightly in the location whose rate slot corresponded by shortening cutting distance of the first rate slot 11 and the second rate slot 22 as well as drawing 2. Thus, in case a rate slot is formed deeply and a chip is separated, it is desirable to make thickness of silicon on sapphire 1 thin, using

distance of the pars basilaris ossis occipitalis of the rate slot 11 and a pars basilaris ossis occipitalis with the rate slot 22 as 200 micrometers or less, and straight cutting can be carried out by making thickness of silicon on sapphire 1 thin partially in the location where both the rates slot agreed. In addition, although ***** before grinding (when grinding by the thickness of 200 micrometers or more) also after grinding silicon on sapphire, it is difficult to form the rate slot 22 deeply to make the depth deep by the scribe.

[0015] Thus, although cutting distance is shortened and he is trying to be straightly divided in drawing 2 and drawing 3 by making deep the depth of the first rate slot 11, and the depth of the second rate slot 22, silicon on sapphire 1 can be ground as mentioned above, and having formed the second rate slot 22 by the scribe like the thickness of 200 micrometers or less, then drawing 1 can also divide almost straightly. In addition, if a substrate is ground and it adjusts to 200 micrometers or less, it cannot be overemphasized that it is not necessary to make the second rate depth of flute deep.

[0016] Drawing 4 is the top view which saw the wafer shown in drawing 1 from the nitride semi-conductor layer side, and while it shows the configuration of the first rate slot 11, it also shows the chip configuration. In this drawing, it can etch with the line breadth in which the electrode of n layers can form p type layer 3 beforehand, and the first rate slot 11 can be formed, the corner of p type layer 3 is further made into the configuration which cut to the half-arc and was lacked, it can cut and the electrode of n layers can be formed in this lacked part.

[0017] Thus, by the approach of this invention, since line breadth W1 of the first rate slot 11 is made larger than the line breadth W2 of the second rate slot 22, even when a cutting plane line becomes slanting temporarily and a wafer is cut, a cutting plane cannot enter to a p-n junction interface, a poor chip cannot come out, and much chips can be obtained from one wafer. And it is correctly separable in the cutting location considered as a request by grinding the silicon on sapphire of a wafer still more preferably, or making the second rate depth of flute deep.

[0018]

[Example] The wafer which carried out 1-micrometer laminating of 5 micrometers and the p mold GaN layer for the n mold GaN layer to order is prepared on the silicon on sapphire of 400 micrometers in [example 1] thickness, and magnitude [of 2 inches] phi.

[0019] Next, on this p mold GaN layer, after covering the mask which consists of SiO2 with a photolithography technique, etching is performed and the first rate slot is formed in the configuration shown in drawing 4. However, the first rate depth of flute sets to about 2 micrometers, and is taken as the line breadth (W1) of 80 micrometers, and 350-micrometer pitch. The line breadth of this first rate slot and a pitch are shown in drawing 4.

[0020] After forming the first rate slot as mentioned above, the silicon-on-sapphire side of a wafer is ground by the burnisher, and a substrate is wrapped, and reaches and carries out polishing to the thickness of 80 micrometers. A substrate front face is made into mirror plane homogeneity by polishing, and it carries out as [check / easily / from a silicon-on-sapphire side / the first rate slot].

[0021] Next, adhesive tape is stuck on a p mold GaN layer side, a wafer is stuck on the table of a scribe, and it fixes by the vacuum chuck. A table is movable in the X-axis (right and left) and the direction of a Y-axis (before or after), and has pivotable structure. The scribe of the silicon on sapphire is carried out once to X shaft orientations by the diamond stylus of a scribe after immobilization with 350-micrometer pitch, a depth of 5 micrometers, and the line breadth of 5 micrometers. 90 degrees is rotated and the scribe of the table is shortly carried out like Y shaft orientations. Thus, a scribe line is put in so that it may become the chip of 350-micrometer angle, and the second rate slot is formed. However, let the location which forms the second rate slot be the location which was in agreement with Chuo Line, the line of said first rate slot.

[0022] Much chips of 350-micrometer angle were obtained from the wafer of 2 inch phi by releasing a vacuum chuck after a scribe, removing a wafer from a table, and pressing down with a roller lightly from a silicon-on-sapphire side. When what a crack, a chipping, etc. do not occur in the cutting plane of a chip, and does not have a poor appearance was taken out, the yield was 98% or more.

[0023] In the process which grinds the silicon on sapphire of the [example 2] example 1, when thickness of silicon on sapphire was set to 150 micrometers and also the chip of 350-micrometer angle was obtained similarly, the yield was 95% or more.

[0024] In the process which grinds the silicon on sapphire of the [example 3] example 1, when thickness of silicon on sapphire was set to 200 micrometers and also the chip of 350-micrometer angle was obtained similarly, the yield was 90% or more.

[0025] In the process which forms the second rate slot of the [example 4] example 1, when used the dicer instead of the scribe, similarly carried out half cutting in 350-micrometer pitch the line breadth of 20 micrometers, and a depth of 10 micrometers, and the second rate slot was formed and also the chip of 350-micrometer angle was obtained similarly, similarly the yield was 98% or more.

[0026] In the [example 5] example 1, after forming the first rate slot, when set the wafer to the dicer, without grinding silicon on sapphire, carried out the dicing of the silicon-on-sapphire side in the line breadth of 20 micrometers, and a depth of 300 micrometers, and it formed the second rate slot and also the chip of 350-micrometer angle was obtained similarly, the yield was 95% or more.

[0027]

[Effect of the Invention] As explained above, according to the approach of this invention, by technique, such

as a scribe, a dicer, and laser, the nitride semi-conductor wafer which does not have cleavage can also be correctly cut with a sufficient yield, and its productivity improves. Moreover, an electrode can also be formed in the front face of the first rate slot, if the first rate slot is formed as shown in drawing 1 .

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The type section Fig. explaining one process of the manufacture approach of this invention.

[Drawing 2] The type section Fig. explaining one process of the manufacture approach of this invention.

[Drawing 3] The type section Fig. explaining one process of the manufacture approach of this invention.

[Drawing 4] The top view explaining one process of the manufacture approach of this invention.

[Description of Notations]

1 Silicon on sapphire

2 n type layer

3 p type layer

11 ... First rate slot

22 ... Second rate slot

[Translation done.]

(19)日本国特許庁 (J P)

(12) 特許公報 (B 2)

(11)特許番号

第2780618号

(45)発行日 平成10年(1998)7月30日

(24)登録日 平成10年(1998)5月15日

(51)Int.Cl.⁶

H 01 L 33/00
21/301
21/86

識別記号

F I

H 01 L 33/00
21/78
21/86

C
L

請求項の数4(全5頁)

(21)出願番号

特願平5-300940

(22)出願日

平成5年(1993)11月6日

(65)公開番号

特開平7-131069

(43)公開日

平成7年(1995)5月19日

審査請求日

平成7年(1995)11月27日

(73)特許権者 000226057

日亜化学工業株式会社
徳島県阿南市上中町岡491番地100

(72)発明者 中村 修二

徳島県阿南市上中町岡491番地100 日亜
化学工業株式会社内

(72)発明者 山田 元量

徳島県阿南市上中町岡491番地100 日亜
化学工業株式会社内

(74)代理人 弁理士 豊橋 康弘

審査官 吉野 三寛

(56)参考文献 特開 平5-166923 (J P, A)

特開 昭62-105446 (J P, A)

特開 昭53-115191 (J P, A)

特開 昭62-272583 (J P, A)

最終頁に続く

(54)【発明の名称】窒化ガリウム系化合物半導体チップの製造方法

1

(57)【特許請求の範囲】

【請求項1】 サファイア基板上に窒化ガリウム系化合物半導体を積層したウエハーから窒化ガリウム系化合物半導体チップを製造する方法において、
前記ウエハーの窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状にエッチングにより形成すると共に、第一の割り溝の一部に電極が形成できる平面を形成する工程と、
前記ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅(W1)よりも細い線幅(W2)を有する第二の割り溝を形成する工程と、
前記第一の割り溝および前記第二の割り溝に沿って、前記ウエハーをチップ状に分離する工程とを具備することを特徴とする窒化ガリウム系化合物半導体チップの製造方法。

2

方法。

【請求項2】 前記第二の割り溝を形成する前に、前記ウエハーのサファイア基板側を研磨して、サファイア基板の厚さを200μm以下に調整する工程を具備することを特徴とする請求項1に記載の窒化ガリウム系化合物半導体チップの製造方法。

【請求項3】 前記第二の割り溝を形成する工程において、第一の割り溝の底部と第二の割り溝の底部との距離を200μm以下に調整することを特徴とする請求項1に記載の窒化ガリウム系化合物半導体チップの製造方法。

【請求項4】 前記第二の割り溝をスクライプにより形成することを特徴とする請求項1または2に記載の窒化ガリウム系化合物半導体チップの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、青色、緑色あるいは赤色発光ダイオード、レーザーダイオード等の発光デバイスに使用される窒化ガリウム系化合物半導体チップの製造方法に係り、特に、サファイア基板上に一般式 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x < 1$, $0 \leq y < 1$) で表される窒化ガリウム系化合物半導体（以下、窒化物半導体と記載する。）が積層された窒化物半導体ウエハーをチップ状に切断する方法に関する。

【0002】

【従来の技術】一般に発光ダイオード、レーザーダイオード等の発光デバイスにはシステム上に発光源である半導体チップが設けられている。半導体チップを構成する材料として、例えば赤色、橙色、黄色、緑色ダイオードの場合 $GaAs$ 、 $GaAlAs$ 、 GaP 等が知られており、また青色ダイオードであれば $ZnSe$ 、 $InAlGaN$ 、 SiC 等が知られている。

【0003】従来、半導体材料が積層されたウエハーから、発光デバイス用のチップに切り出す装置には一般にダイサー、またはスクライバーが使用されている。ダイサーとは一般にダイシングソーとも呼ばれ、刃先をダイヤモンドとするブレードの回転運動により、ウエハーを直接フルカットするか、または刃先巾よりも広い巾の溝を切り込んだ後（ハーフカット）、外力によってウエハーを割る装置である。一方、スクライバーとは同じく先端をダイヤモンドとする針の往復直線運動によりウエハーに極めて細いスライブライン（野書線）を例えば碁盤目状に引いた後、外力によってウエハーを割る装置である。

【0004】例えば GaP 、 $GaAs$ 等のせん亜鉛構造の結晶はへき開性が $<110>$ 方向にあるため、この性質を利用してスクライバーでこの方向にスライブラインを入れることにより簡単にチップ状に破断できる。

【0005】しかしながら、一般に窒化物半導体はサファイア基板の上に積層されるため、そのウエハーは六方晶系というサファイア結晶の性質上へき開性を有しておらず、スクライバーで切断することは困難であった。一方、ダイサーで切断する場合においても、窒化物半導体ウエハーは、前記したようにサファイアの上に窒化物半導体を積層したいわゆるヘテロエピタキシャル構造であり格子定数不整が大きく、また熱膨張率も異なるため、窒化物半導体がサファイア基板から剥がれやすいという問題があった。さらにサファイア、窒化物半導体両方ともモース硬度がほぼ 9 と非常に硬い物質であるため、切断面にクラック、チッピングが発生しやすくなり正確に切断することができなかった。

【0006】

【発明が解決しようとする課題】窒化物半導体の結晶性を傷めずに、ウエハーを正確にチップ状に分離することができれば、チップ形状を小さくでき、一枚のウエハー

から多くのチップが得られるので生産性を向上させることができる。従って、本発明はこのような事情を鑑みてなされたもので、その目的とするところは、サファイアを基板とする窒化物半導体ウエハーをチップ状に分離するに際し、切断面のクラック、チッピングの発生を防止し、歩留良く、所望の形状、サイズを得るチップの製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の窒化物半導体チップの製造方法は、サファイア基板上に窒化物半導体を積層したウエハーから窒化物半導体チップを製造する方法を改良したものである。本発明の製造方法は、ウエハーの窒化物半導体層側から第一の割り溝を所望のチップ形状で線状にエッティングにより形成すると共に、第一の割り溝の一部に電極が形成できる平面を形成する工程と、ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅 (W1) よりも細い線幅 (W2) を有する第二の割り溝を形成する工程と、前記第一の割り溝、および前記第二の割り溝に沿つて前記ウエハーをチップ状に分離する工程とを具備することを特徴とする。

【0008】本発明の製造方法において、第一の割り溝を形成するには、最も好ましくはウエットエッティング、ドライエッティング等のエッティングを用いる。なぜならエッティングが最も窒化物半導体表面、側面を傷めにくいかからである。ドライエッティングであれば、例えば反応性イオンエッティング、イオンミリング、集束ビームエッティング、ECRエッティング等の手法を用いることができ、ウエットエッティングであれば、例えば硫酸とリン酸の混酸を用いることができる。但し、エッティングを行う前に、窒化物半導体表面に、所望のチップ形状となるように、所定の形状のマスクを形成することは言うまでもない。

【0009】次に、第二の割り溝をサファイア基板側に形成するには、エッティング、ダイシング、スクライブ等の手法を用いることができる。第二の割り溝はサファイア基板側に形成し、直接窒化物半導体層にダイサー、スクライバー等の刃先が触れる事はないので、この工程では第二の割り溝を形成する手法は特に問わないが、その中でも特に好ましくはスクライブを用いる。なぜなら、スクライブは第二の割り溝の線幅を、第一の割り溝の線幅よりも狭くしやすく、また、エッティングに比べて迅速に割り溝を形成できる。さらに、ダイシングに比べて、ウエハー切断時にサファイア基板を削り取る面積が少なくて済むので、単一ウエハーから多くのチップが得られるという利点がある。

【0010】また、第二の割り溝を形成する前に、サファイア基板側を研磨して薄くすることが好ましい。研磨後のサファイア基板の厚さは $200 \mu m$ 以下、さらに好ましくは $150 \mu m$ 以下に調整することが望ましい。なぜなら、窒化物半導体ウエハーは、サファイア基板の厚

さが通常 $300\sim800\mu\text{m}$ 、その上に積層された窒化物半導体の厚さが多くとも数十 μm あり、そのほとんどがサファイア基板の厚さで占められている。しかも、前記したように窒化物半導体は格子定数、および熱膨張率の異なる材料の上に積層されているため、非常に切断しにくい性質を有している。サファイア基板の厚さが厚すぎると、後に第二の割り溝を形成してウエハーを分離する際、第一の割り溝と、第二の割り溝とを合致させた位置で割りにくくなる傾向にある。つまり、図1のaの破線に示すように、第一の割り溝線の中央線と、第二の割り溝線の中央線が一致した位置でウエハーをチップ状に分離できることが最も好ましいのであるが、ウエハーの厚みが厚すぎると、その位置が、同じく図1のcの破線に示すように斜めになって割れ、p-n接合界面まで切断されて、目的としない形状でチップ化されやすい傾向にある。従って、サファイア基板を前記範囲内に研磨して薄くすることにより、前記割り溝の合致位置、つまり目的とするチップ形状で、ウエハーをさらに分離しやすくすることができる。基板の厚さの下限値は特に問わないが、あまり薄くすると研磨中にウエハー自体が割れ易くなるため、実用的な値としては $50\mu\text{m}$ 以上が好ましい。

【0011】また基板を研磨して薄くする他に、図2に示すように、第二の割り溝22をエッティング、ダイシング等の手法によって、サファイア基板1に深く形成することにより、部分的にサファイア基板1の厚さを薄くして、第一の割り溝11との切断距離を短くしてもよい。

【0012】

【作用】本発明の製造方法の作用を図面を元に説明する。図1ないし図4は本発明の製造方法の一工程を説明する図である。図1はサファイア基板1の上にn型窒化物半導体層2（n型層）と、p型窒化物半導体層3（p型層）とを積層したウエハーの模式断面図である。それらの窒化物半導体層側には所定のチップ形状になるように、第一の割り溝11を線状に形成しており、さらに第一の割り溝11の線幅より狭い線幅の第二の割り溝22を、第一の割り溝11の線の中央線と一致する位置で形成した状態を示している。但し、この図では、第一の割り溝はp型層3をエッティングして、n型層2を露出するように形成しており、第二の割り溝はスクライブで形成している。図1に示すように、ウエハーは第一の割り溝11と第二の割り溝22の中央線が一致した点、つまり破線aで示す位置でまっすぐに切断できることが最も好ましいが、仮に破線bで示すように切断線が曲がっても、第一の割り溝11の線幅W1を、第二の割り溝22の線幅W2よりも広く形成してあるため、切断位置がp-n接合界面にまで及ばず、チップ不良がでることがない。

【0013】図2は第二の割り溝22をエッティング、またはダイシングにより形成し、サファイア基板1をハ

フカットした状態を示している。この図では第二の割り溝22の深さを深くして、第一の割り溝との切断距離を短くすることにより、第一の割り溝の中央線と、第二の割り溝の中央線とが一致した位置でまっすぐに割ることができ。

【0014】図3は第一の割り溝11のエッティング深さを深くした状態を示しているが、この図も図2と同じく第一の割り溝11と、第二の割り溝22との切断距離を短くすることにより、割り溝が一致した位置でまっすぐに切断することができる。このように割り溝を深く形成してチップを分離する際には、割り溝11の底部と、割り溝22との底部との距離を $200\mu\text{m}$ 以下として、サファイア基板1の厚さを薄くすることが好ましく、サファイア基板1の厚さを部分的に薄くすることにより、両割り溝が合致した位置でまっすぐに切断できる。なお、割り溝22を深く形成するのは、サファイア基板を研磨した後（ $200\mu\text{m}$ 以上の厚さで研磨する場合）でも、研磨する前でもかまわないが、スクライブによってその深さを深くするのは困難である。

【0015】このように図2、図3では第一の割り溝11の深さ、第二の割り溝22の深さを深くすることにより、切断距離を短くしてまっすぐに割れるようにしているが、前述のようにサファイア基板1を研磨して、 $200\mu\text{m}$ 以下の厚さとすれば、図1のように第二の割り溝22をスクライブで形成しただけでも、ほぼまっすぐに割ることができる。なお基板を研磨して $200\mu\text{m}$ 以下に調整すれば、第二の割り溝の深さを深くする必要がないことはいうまでもない。

【0016】図4は、図1に示すウエハーを窒化物半導体層側からみた平面図であり、第一の割り溝11の形状を示していると同時に、チップ形状も示している。この図では、p型層3を予めn層の電極が形成できる線幅でエッティングして、第一の割り溝11を形成し、さらにp型層3の隅部を半弧状に切り欠いた形状としており、この切り欠いた部分にn層の電極を形成することができる。

【0017】このように、本発明の方法では、第一の割り溝11の線幅W1を、第二の割り溝22の線幅W2よりも広くしているので、仮に切断線が斜めとなってウエハーが切断された場合でも、p-n接合界面まで切断面が入らずチップ不良が出ることがなく、一枚のウエハーから多数のチップを得ることができる。そして、さらに好ましくウエハーのサファイア基板を研磨するか、または第二の割り溝の深さを深くすることにより、所望とする切断位置で正確に分離することができる。

【0018】

【実施例】【実施例1】

厚さ $400\mu\text{m}$ 、大きさ 2インチ ϕ のサファイア基板の上に順にn型GaN層を $5\mu\text{m}$ と、p型GaN層とを $1\mu\text{m}$ 積層したウエハーを用意する。

【0019】次にこのp型GaN層の上に、フォトリソグラフィー技術によりSiO₂よりなるマスクをかけた後、エッティングを行い、図4に示す形状で第一の割り溝を形成する。但し、第一の割り溝の深さはおよそ2μmとし、線幅(W1)80μm、350μmピッチとする。この第一の割り溝の線幅、ピッチを図4に示している。

【0020】以上のようにして、第一の割り溝を形成した後、ウエハーのサファイア基板側を研磨器により研磨して、基板を80μmの厚さにラッピング、およびポリッキングする。ポリッキングで基板表面を鏡面均一とし、容易にサファイア基板面から第一の割り溝が確認できるようする。

【0021】次に、p型GaN層側に粘着テープを貼付し、スクライバーのテーブル上にウエハーを張り付け、真空チャックで固定する。テーブルはX軸(左右)、Y軸(前後)方向に移動することができ、回転可能な構造となっている。固定後、スクライバーのダイヤモンド針で、サファイア基板をX軸方向に350μmピッチ、深さ5μm、線幅5μmで一回スクライプする。テーブルを90°回転させて今度はY軸方向に同様にしてスクライプする。このようにして350μm角のチップになるようにスクライブラインを入れ、第二の割り溝を形成する。ただし、第二の割り溝を形成する位置は、前記第一の割り溝の線の中央線と一致した位置とする。

【0022】スクライプ後、真空チャックを解放し、ウエハーをテーブルから剥し取り、サファイア基板側から軽くローラーで押されることにより、2インチΦのウエハーから350μm角のチップを多数得た。チップの切断面にクラック、チッピング等が発生しておらず、外形不良の無いものを取りだしたところ、歩留は98%以上であった。

【0023】[実施例2]

実施例1のサファイア基板を研磨する工程において、サファイア基板の厚さを150μmとする他は同様にして、350μm角のチップを得たところ、歩留は95%以上であった。

【0024】[実施例3]

実施例1のサファイア基板を研磨する工程において、サファイア基板の厚さを200μmとする他は同様にして、350μm角のチップを得たところ、歩留は90%

以上であった。

【0025】[実施例4]

実施例1の第二の割り溝を形成する工程において、スクライバーの代わりにダイサーを用い、線幅20μm、深さ10μm、同じく350μmピッチでハーフカットして第二の割り溝を形成する他は同様にして、350μm角のチップを得たところ、同じく歩留は98%以上であった。

【0026】[実施例5]

10 実施例1において、第一の割り溝を形成した後、サファイア基板を研磨せずにウエハーをダイサーにセットし、サファイア基板側を線幅20μm、深さ300μmでダイシングして第二の割り溝を形成する他は同様にして、350μm角のチップを得たところ、歩留は95%以上であった。

【0027】

【発明の効果】本発明の窒化ガリウム系化合物半導体チップの製造方法は、へき開性のないサファイア基板に、へき開性のない窒化ガリウム系化合物半導体を積層したウエハーであって、小さなチップ状に切断するのが極めて難しい窒化ガリウム系化合物半導体ウエハーを、極めて高い歩留で正確に切断することができ、生産性が向上する。また図4に示すように、第一の割り溝を形成して、第一の割り溝の表面に電極を形成することもできる。

【図面の簡単な説明】

【図1】 本発明の製造方法の一工程を説明する模式断面図。

【図2】 本発明の製造方法の一工程を説明する模式断面図。

【図3】 本発明の製造方法の一工程を説明する模式断面図。

【図4】 本発明の製造方法の一工程を説明する平面図。

【符号の説明】

1 · · · · サファイア基板

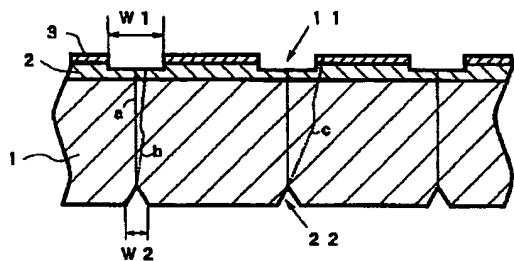
2 · · · · n型層

3 · · · · p型層

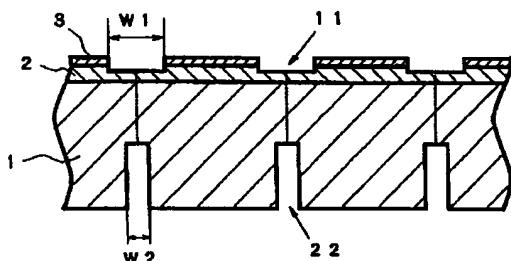
11 · · · · 第一の割り溝

40 22 · · · 第二の割り溝

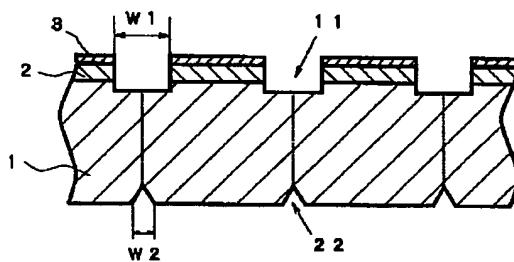
【図1】



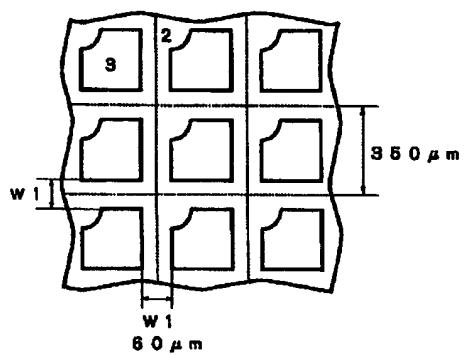
【図2】



【図3】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl.°, D B名)

H01L 33/00

H01L 21/78